

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yuuichiro MURAHAMA

GAU:

SERIAL NO: 10/623,520

EXAMINER:

FILED: July 22, 2003

FOR: SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME, NONVOLATILE SEMICONDUCTOR MEMORY AND METHOD OF FABRICATING THE SAME, AND ELECTRONIC APPARATUS INCLUDING NONVOLATILE SEMICONDUCTOR MEMORY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-213839	July 23, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)



日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年 7月23日

出願番号
Application Number:

特願2002-213839

[ST.10/C]:

[JP2002-213839]

出願人
Applicant(s):

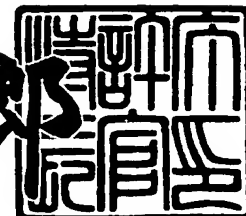
株式会社東芝



2003年 6月 3日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3042970

【書類名】 特許願

【整理番号】 13756401

【提出日】 平成14年 7月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/316

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 9

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 村 濱 優一郎

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 神奈川県川崎市幸区堀川町72番地

 【氏名又は名称】 株式会社 東 芝

【代理人】

 【識別番号】 100075812

 【弁理士】

 【氏名又は名称】 吉 武 賢 次

【選任した代理人】

 【識別番号】 100088889

 【弁理士】

 【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

 【識別番号】 100082991

 【弁理士】

 【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

 【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板の第 1 の能動領域上に第 1 の膜厚を有する第 1 のゲート絶縁膜と、
前記半導体基板の第 2 の能動領域上に前記第 1 の膜厚より薄い第 2 の膜厚を有する第 2 のゲート絶縁膜とを備える半導体装置であって、

前記半導体基板における前記第 1 の能動領域の半導体基板表面が前記第 2 の能動領域の半導体基板表面よりも高さが低いことを特徴とする半導体装置。

【請求項 2】

前記第 1 の膜厚と前記第 2 の膜厚との差に対応する分、前記第 1 の能動領域の半導体基板表面が前記第 2 の能動領域の半導体基板表面よりも高さが低いことにより、前記第 1 のゲート絶縁膜の表面と前記第 2 のゲート絶縁膜の表面の高さが略等しいことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 の能動領域と前記第 2 の能動領域との間は、絶縁膜が埋め込まれた溝によって素子分離されており、

前記第 1 のゲート絶縁膜及び前記第 2 のゲート絶縁膜上にはそれぞれゲート電極が形成されていることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】

半導体基板の第 1 の能動領域上に第 1 の膜厚を有する第 1 のゲート絶縁膜と、
前記半導体基板の第 2 の能動領域上に前記第 1 の膜厚よりも薄い第 2 の膜厚を有する第 2 のゲート絶縁膜と、

前記第 1 の能動領域と前記第 2 の能動領域間に設けられたトレンチ素子分離絶縁領域とを備えた半導体装置であって、

前記トレンチ素子分離領域底面の前記第 1 の能動領域側部分の前記半導体基板面高さである第 1 の高さが、前記トレンチ素子分離領域底面の前記第 2 の能動領域側部分の前記半導体基板面高さである第 2 の高さよりも低いことを特徴とする半導体装置。

【請求項 5】

前記第 1 の膜厚と前記第 2 の膜厚の差分が前記第 1 の高さと同記第 2 の高さの差分の $1/2$ 以上、2 倍以下であることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】

半導体基板の第 1 の能動領域上に第 1 の膜厚を有する第 1 のゲート絶縁膜と、前記半導体基板の第 2 の能動領域上に前記第 1 の膜厚より薄い第 2 の膜厚を有する第 2 のゲート絶縁膜とを有する半導体装置を製造する方法であって、

前記半導体基板における前記第 1 の能動領域の半導体基板表面が前記第 2 の能動領域の半導体基板表面よりも高さが低くなるように、前記半導体基板の表面部分に加工を行う工程を備えることを特徴とする半導体装置の製造方法。

【請求項 7】

前記半導体基板の表面部分に加工を行う工程では、前記第 1 の膜厚と同記第 2 の膜厚との差に対応する分、前記第 1 の能動領域の半導体基板表面が前記第 2 の能動領域の半導体基板表面よりも高さを低くすることにより、前記第 1 のゲート絶縁膜の表面と同記第 2 のゲート絶縁膜の表面の高さが略等しくなるようにすることを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】

半導体基板における第 1 の能動領域の表面を露出し第 2 の能動領域を覆うマスクを形成する工程と、

前記マスクを用いて酸化法により前記第 1 の能動領域の表面上に第 1 の酸化膜を形成する工程と、

前記マスク及び前記第 1 の酸化膜を除去し、前記第 1 の能動領域の半導体基板表面が前記第 2 の能動領域の半導体基板表面よりも高さが低くなるようにする工程と、

前記第 1 及び第 2 の能動領域の表面上に第 2 の酸化膜を形成する工程と、

前記第 2 の酸化膜のうち、前記第 1 の能動領域にあるものを残存させ前記第 2 の能動領域にあるものを除去する工程と、

前記半導体基板における前記第 1 の能動領域の前記第 2 の酸化膜の表面上に、

前記第 2 の酸化膜より膜厚が薄い第 3 の酸化膜を、前記第 2 の能動領域の表面上に前記第 3 の酸化膜と略膜厚が等しい第 4 の酸化膜を形成する工程と、

を備えることで、

第 1 の能動領域上には前記第 2 及び第 3 の酸化膜を含む第 1 のゲート絶縁膜を形成し、前記第 2 の能動領域上には前記第 4 の酸化膜を含む第 2 のゲート絶縁膜を形成し、前記第 1 のゲート絶縁膜の表面と前記第 2 のゲート絶縁膜の表面との高さが略等しいことを特徴とする半導体装置の製造方法。

【請求項 9】

前記第 3 及び第 4 の酸化膜上に導電材料から成る第 1 の膜を堆積し、前記第 1 の膜上に研磨ストッパ材となる第 2 の膜を堆積する工程と、

前記第 1 及び第 2 の膜に対し、前記第 1、第 2 の能動領域上において電極の形状にパターニングし、前記第 1、第 2 の能動領域の間の素子分離領域における前記半導体基板の表面部分に溝を形成する工程と、

表面全体に絶縁膜を堆積する工程と、

前記第 2 の膜を研磨ストッパ材として前記絶縁膜に平坦化を行う工程と、

前記素子分離領域における前記絶縁膜にエッチングを行って高さを低くする工程と、

前記第 2 の膜を除去する工程と、

表面全体に導電材料から成る第 3 の膜を堆積する工程と、

前記第 3 の膜に対し、前記第 1、第 2 の能動領域上において電極の形状にパターニングする工程と、

をさらに備えることを特徴とする請求項 8 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

従来の半導体装置において、膜厚の異なる酸化膜を形成する場合、半導体基板

上に熱酸化法により第1の膜厚分酸化させ、フォトリソグラフィ法、エッチング技術を用いて一方の能動領域上に残存させる。次に、第1の酸化膜厚とは異なる第2の膜厚を有する酸化膜を、上記工程と同様に熱酸化法を用いて他方の能動領域上に形成する。このようにして、同一半導体基板上に異なる膜厚の酸化膜を形成する。

【0003】

しかし、異なる酸化膜厚を有するが故に、酸化膜形成後のゲート電極材の堆積時もしくは堆積したゲート電極材のフォトリソグラフィ及び反応性イオンエッチング（以下、RIEという）等によるパターニング加工時、また素子分離形成後における埋め込み絶縁膜の化学的機械的研磨（以下、CMPという）時に所望のパターニングを行うことが困難となり、場合によっては能動領域上においてパターン崩れ等の影響から酸化膜の初期不良を発生させたり、装置寿命が短くなる等の問題があった。

【0004】

また、トレンチを用いた素子分離法は、シリコン基板中に溝を形成し、その溝を化学的気相成長法（以下、CVDという）等により絶縁膜を埋め込んで素子分離領域を形成する、というものである。ゲート絶縁膜を半導体基板上に形成してからトレンチ素子分離を行う方法もある。

【0005】

以下に、異なる膜厚を有する酸化膜を形成すると共にトレンチを用いて素子分離を行う方法について、図面を参照して説明する。

【0006】

図4（a）に示されたように、半導体基板301上にシリコン酸化膜302を熱酸化法により形成する。

【0007】

図4（b）に示されたように、フォトリソグラフィ工程によりフォトレジスト膜304を形成し、フッ化水素及びフッ化アンモニウム等を用いたウェットエッチングもしくはRIE工程によりフォトレジスト膜304で覆われていない領域を除去するようにパターニングを行う。

【0008】

フォトレジスト膜304で覆われていない領域上に、シリコン酸化膜302と異なる膜厚のシリコン酸化膜303を同様な熱酸化法により形成する。これにより、図4(c)のように同一半導体基板301上に異なる膜厚のシリコン酸化膜302及び303を形成する。

【0009】

図4(d)のように、第1層のゲート電極材として多結晶シリコン膜305、CMP法においてストッパ材となるシリコン窒化膜306を順次形成する。

【0010】

図4(e)に示されたように、フォトリソグラフィ法を用いて能動領域を覆うフォトレジスト膜307を形成する。このフォトレジスト膜307を用いて、能動領域上のシリコン酸化膜302、多結晶シリコン膜305、シリコン窒化膜306を残存させ、素子分離領域上の膜を除去するようにパターニングを行い、さらに素子分離領域における半導体基板301の表面部分にRIEを行って溝を形成する。ここで、半導体基板301の溝320の底面には、図示されたような厚いゲート絶縁膜を形成する領域よりも薄いゲート絶縁膜を形成する領域の方が低い段差350が形成される。この後、図4(f)に示されたようにフォトレジスト膜307を除去する。

【0011】

図4(g)に示されたように、CVD法等を用いてシリコン酸化膜311を堆積して溝320に埋め込む。

【0012】

シリコン酸化膜311の表面には、能動領域上及び素子分離領域上に凹凸が存在することから、CMP法を用いて表面の平滑化を行う。膜厚の厚いシリコン酸化膜302上のシリコン窒化膜306と、膜厚の薄いシリコン酸化膜303上のシリコン窒化膜とは表面の高さにずれがある。しかし、シリコン窒化膜306上のシリコン酸化膜311が残存しないように完全に取り除く必要がある。そこで、図4(g)において一点鎖線Lで示された高さまでCMPを行い、シリコン窒化膜306の表面を削る必要がある。ここで、膜厚の厚いシリコン酸化膜302

上のシリコン窒化膜 3 0 6 a は表面を多く削られるので、その膜厚 X 1 は、膜厚の薄いシリコン酸化膜 3 0 3 上のシリコン窒化膜 3 0 6 b の膜厚 X 2 よりも薄くなる。

【 0 0 1 3 】

後のゲート電極の加工の際に、素子分離領域脇の段差が大きいと加工マージンが劣化するので、予め段差緩和のためにフッ化アンモニウム等を用いて図 4 (i) のように素子分離領域におけるシリコン酸化膜 3 1 1 をエッチングし高さを低くしておく。

【 0 0 1 4 】

図 4 (j) のように、多結晶シリコン膜 3 0 5 上のシリコン窒化膜 3 0 6 、 3 0 6 a を R I E 、ケミカルドライエッチングもしくは磷酸等によるウェットエッチングを行って除去する。

【 0 0 1 5 】

次に、多結晶シリコン膜 3 0 5 の表面に存在する自然酸化膜を除去する処理を施す。そして多結晶シリコン膜を堆積し、フォトリソグラフィ工程及び R I E 工程を経て、図 4 (k) に示されたようにゲート電極 3 0 7 を得る。

【 0 0 1 6 】

【発明が解決しようとする課題】

ここで、図 4 (i) に示されたシリコン酸化膜 3 1 1 を加工する工程において、上述したように膜厚が厚いシリコン酸化膜 3 0 2 上のシリコン窒化膜 3 0 6 a は、膜厚が薄いシリコン酸化膜 3 0 3 上のシリコン窒化膜 3 0 6 b より薄いため、フッ化アンモニウム等のエッチング液が界面から進行してシリコン酸化膜 3 0 2 付近まで削られることになる。このシリコン酸化膜 3 0 2 はゲート絶縁膜として作用するものであり、ゲート絶縁膜の初期不良を発生させたり、寿命が短くなる問題を引き起こすことになる。さらには、ゲート絶縁膜に不良が生じると、後に形成した多結晶シリコン膜から成るゲート電極 3 0 5 が能動領域上の半導体基板 3 0 1 にまで接触して電位的に接合不良を起こすおそれもあった。

【 0 0 1 7 】

本発明は上記事情に鑑み、異なる酸化膜厚を有する装置を高い歩留まりで得る

ことが可能な半導体装置及びその製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】

本発明の半導体装置は、半導体基板の第1の能動領域上に第1の膜厚を有する第1のゲート絶縁膜と、前記半導体基板の第2の能動領域上に前記第1の膜厚より薄い第2の膜厚を有する第2のゲート絶縁膜とを備える半導体装置であって、前記半導体基板における前記第1の能動領域の半導体基板表面が前記第2の能動領域の半導体基板表面よりも高さが低いことを特徴とする。

【0019】

ここで、前記第1の膜厚と前記第2の膜厚との差に対応する分、前記第1の能動領域の半導体基板表面が前記第2の能動領域の半導体基板表面よりも高さが低いことにより、前記第1のゲート絶縁膜の表面と前記第2のゲート絶縁膜の表面の高さが略等しいことが望ましい。

【0020】

前記第1の能動領域と前記第2の能動領域との間は、絶縁膜が埋め込まれた溝によって素子分離されており、前記第1のゲート絶縁膜及び前記第2のゲート絶縁膜上にはそれぞれゲート電極が形成されていてもよい。

【0021】

また本発明の半導体装置は、半導体基板の第1の能動領域上に第1の膜厚を有する第1のゲート絶縁膜と、前記半導体基板の第2の能動領域上に前記第1の膜厚よりも薄い第2の膜厚を有する第2のゲート絶縁膜と、前記第1の能動領域と前記第2の能動領域間に設けられたトレンチ素子分離絶縁領域とを備えた半導体装置であって、前記トレンチ素子分離領域底面の前記第1の能動領域側部分の前記半導体基板面高さである第1の高さが、前記トレンチ素子分離領域底面の前記第2の能動領域側部分の前記半導体基板面高さである第2の高さよりも低いことを特徴とする。

【0022】

前記第1の膜厚と前記第2の膜厚の差分が、前記第1の高さと前記第2の高さの差分の $1/2$ 以上、2倍以下であってもよい。

【 0 0 2 3 】

本発明の半導体装置の製造方法は、半導体基板の第 1 の能動領域上に第 1 の膜厚を有する第 1 のゲート絶縁膜と、前記半導体基板の第 2 の能動領域上に前記第 1 の膜厚より薄い第 2 の膜厚を有する第 2 のゲート絶縁膜とを有する装置を製造する方法であって、前記半導体基板における前記第 1 の能動領域の半導体基板表面が前記第 2 の能動領域の半導体基板表面よりも高さが低くなるように、前記半導体基板の表面部分に加工を行う工程を備えることを特徴とする。

【 0 0 2 4 】

ここで、前記半導体基板の表面部分に加工を行う工程では、前記第 1 の膜厚と前記第 2 の膜厚との差に対応する分、前記第 1 の能動領域の半導体基板表面が前記第 2 の能動領域の半導体基板表面よりも高さを低くすることにより、前記第 1 のゲート絶縁膜の表面と前記第 2 のゲート絶縁膜の表面の高さが略等しくなるようにすることが望ましい。

【 0 0 2 5 】

本発明の半導体装置の製造方法は、半導体基板における第 1 の能動領域の表面を露出し第 2 の能動領域を覆うマスクを形成する工程と、前記マスクを用いて酸化法により前記第 1 の能動領域の表面上に第 1 の酸化膜を形成する工程と、前記マスク及び前記第 1 の酸化膜を除去し、前記第 1 の能動領域の半導体基板表面が前記第 2 の能動領域の半導体基板表面より高さが低くなるようにする工程と、前記第 1 及び第 2 の能動領域の表面上に第 2 の酸化膜を形成する工程と、前記第 2 の酸化膜のうち、前記第 1 の能動領域にあるものを残存させ前記第 2 の能動領域にあるものを除去する工程と、前記半導体基板における前記第 1 の能動領域の前記第 2 の酸化膜の表面上に、前記第 2 の酸化膜より膜厚が薄い第 3 の酸化膜を、前記第 2 の能動領域の表面上に前記第 3 の酸化膜と略膜厚が等しい第 4 の酸化膜を形成する工程とを備えることで、第 1 の能動領域上には前記第 2 及び第 3 の酸化膜を含む第 1 のゲート絶縁膜を形成し、前記第 2 の能動領域上には前記第 4 の酸化膜を含む第 2 のゲート絶縁膜を形成し、前記第 1 のゲート絶縁膜の表面と前記第 2 のゲート絶縁膜の表面との高さが略等しいことを特徴とする。

【 0 0 2 6 】

さらに、前記第 3 及び第 4 の酸化膜上に導電材料から成る第 1 の膜を堆積し、前記第 1 の膜上に研磨ストッパ材となる第 2 の膜を堆積する工程と、前記第 1 及び第 2 の膜に対し、前記第 1、第 2 の能動領域上において電極の形状にパターニングし、前記第 1、第 2 の能動領域の間の素子分離領域における前記半導体基板の表面部分に溝を形成する工程と、表面全体に絶縁膜を堆積する工程と、前記第 2 の膜を研磨ストッパ材として前記絶縁膜に平坦化を行う工程と、前記素子分離領域における前記絶縁膜にエッチングを行って高さを低くする工程と、前記第 2 の膜を除去する工程と、表面全体に導電材料から成る第 3 の膜を堆積する工程と、前記第 3 の膜に対し、前記第 1、第 2 の能動領域上において電極の形状にパターニングする工程とを備えてもよい。

【 0 0 2 7 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【 0 0 2 8 】

(1) 第 1 の実施の形態

図 1 に、本発明の第 1 の実施の形態による半導体装置の構成及びその製造方法を工程別に示す。

【 0 0 2 9 】

図 1 (a) に示されたように、半導体基板 1 0 1 上に約 1 0 0 0 Å の膜厚でシリコン酸化膜 1 0 2 を形成し、その表面上に約 1 0 0 0 Å の膜厚のシリコン窒化膜 1 0 3 を形成する。このシリコン窒化膜 1 0 3 は、膜厚の厚いゲート絶縁膜を形成する領域以外の領域を保護するために形成する。

【 0 0 3 0 】

図 1 (b) のように、フォトリソグラフィ工程により、膜厚の厚いゲート絶縁膜を形成する領域が除去されたレジスト膜 1 0 4 をシリコン窒化膜 1 0 3 上に形成する。

【 0 0 3 1 】

図 1 (c) のように、このレジスト膜 1 0 4 をマスクとしてシリコン窒化膜 1 0 3 に R I E を行ってパターニングする。さらに、ウェットエッチングを行って

シリコン窒化膜 1 0 3 下のシリコン酸化膜 1 0 2 をパターニングすることで、厚いシリコン酸化膜を形成する領域を開口して半導体基板 1 0 1 の表面を露出する。

【 0 0 3 2 】

図 1 (d) に示されたように、酸化工程を行いシリコン窒化膜 1 0 3 で覆われていない領域に例えば約 6 4 0 Å の膜厚のシリコン酸化膜 1 0 5 を形成する。この酸化工程は、例えば L O C O S 法等を用いてもよい。この結果、シリコン酸化膜 1 0 5 が形成された領域における半導体基板 1 0 1 の表面と、シリコン酸化膜 1 0 5 が形成されずシリコン窒化膜 1 0 3 で保護された領域における半導体基板 1 0 1 の表面とにおいて、基板の高さに段差（ここでは、約 3 2 0 Å ）が生じることになる。

【 0 0 3 3 】

このような基板の高さに段差を設けたのは、これ以降の工程で異なる膜厚のゲート絶縁膜を形成した状態において、ゲート絶縁膜の表面の高さが平坦であるようにするためである。従って、ゲート絶縁膜の膜厚の差（約 3 2 0 Å ）に相当する分だけ半導体基板 1 0 1 の表面を落としこむように考慮した膜厚でシリコン酸化膜 1 0 5 を形成する必要がある。

【 0 0 3 4 】

図 1 (e) に示されたように、磷酸等を用いたウェットエッチングを施しシリコン窒化膜 1 0 3 を除去し、フッ化水素、フッ化アンモニウム等を用いたウェットエッチングでシリコン酸化膜 1 0 5 、 1 0 2 を除去する。

【 0 0 3 5 】

図 1 (f) のように、膜厚の厚いゲート絶縁膜を形成するため、熱酸化法により所望の膜厚（ここでは、約 3 2 0 Å ）のシリコン酸化膜 1 0 6 を形成する。これにより、シリコン酸化膜 1 0 6 が、膜厚の厚いゲート絶縁膜を形成する領域と膜厚の薄いゲート絶縁膜を形成する領域との両方に形成される。

【 0 0 3 6 】

図 1 (g) に示されたように、フォトリソグラフィ工程により膜厚の厚いゲート絶縁膜を形成する領域を保護するレジスト膜 1 0 7 を形成し、このレジスト膜

107をマスクとしてウェットエッチングを行い薄い膜厚のゲート絶縁膜を形成する領域上のシリコン酸化膜106を除去する。

【0037】

図1 (h) に示されたように、熱酸化法を用いてシリコン酸化膜を全体に形成する。これにより、厚い膜厚のゲート絶縁膜を形成する領域におけるシリコン酸化膜106上と、薄い膜厚のゲート絶縁膜を形成する領域における半導体基板101上とは、略等しい膜厚（ここでは、約80Å）のシリコン酸化膜が形成される。この結果、厚い膜厚のゲート絶縁膜を形成する領域には約400Åのゲート絶縁膜110が形成され、薄い膜厚のゲート絶縁膜を形成する領域には約80Åのゲート絶縁膜111が形成されることになる。

【0038】

図1 (i) に示されたように、ゲート絶縁膜110、111上に、例えば約100Åの膜厚でゲート電極材として多結晶シリコン膜112、約1000Åの膜厚でCMP工程における研磨ストッパ材となるシリコン窒化膜113を順に形成する。さらに、フォトリソグラフィ法を用いて能動領域を保護し素子分離領域が除去されたレジスト膜114を形成する。

【0039】

このレジスト膜114を用いて、図1 (j) に示されたように多結晶シリコン膜112、シリコン窒化膜113にパターニングを行い、RIEにより素子分離領域における半導体基板101に溝120を形成する。

【0040】

ここで、半導体基板101の溝120の底面には段差150が生じる。この段差150は、図4を用いて説明した従来の装置における段差350とは向きが異なり、膜厚の厚いゲート絶縁膜110が形成された領域から膜厚の薄いゲート絶縁膜111が形成された領域に向かって高くなるように形成される。

【0041】

図1 (k) に示されたように、CVD法を用いてシリコン酸化膜115を堆積して溝120を埋め込む。

【0042】

図 1 (1) のように、シリコン窒化膜 1 1 3 をストッパ材として CMP を行い、シリコン酸化膜 1 1 5 を平滑化する。

【 0 0 4 3 】

後のゲート電極加工の際に、素子分離脇における高さの段差が大きいと加工マージンを劣化させる。そこで、予め段差を緩和させるためフッ化アンモニウム等を用いて素子分離領域におけるシリコン酸化膜 1 1 5 にウェットエッチングを行い、点線 M で示されたように高さを低く設定しておく。

【 0 0 4 4 】

図 1 (m) のように、多結晶シリコン膜 1 1 2 上のシリコン窒化膜 1 1 3 を R I E、あるいはケミカルドライエッチング、あるいはまたリン酸等を用いたウェットエッチングにより除去する。

【 0 0 4 5 】

次に、多結晶シリコン膜 1 1 2 の表面上の自然酸化膜を除去する処理を施した後、多結晶シリコン膜を堆積し、図 1 (n) に示されたようにフォトリソグラフィ工程、R I E 工程を経て 2 層目のゲート電極 1 1 6 を形成する。

【 0 0 4 6 】

図 2 (a) に本実施の形態による半導体装置の一工程における縦断面を示し、図 2 (b) に従来の半導体装置の一工程における縦断面を示す。

【 0 0 4 7 】

図 2 (b) に示されたように、従来は厚いゲート絶縁膜 3 0 2 が形成される領域と、薄いゲート絶縁膜 3 0 3 が形成される領域とで、半導体基板 3 0 1 の高さは一致している。尚、ここで半導体基板 3 0 1 の高さとは、この場合は、半導体基板裏面（ゲート酸化膜等の非形成面）からゲート酸化膜 3 0 2、3 0 3 形成面までの距離を意味している。これにより、ゲート絶縁膜 3 0 2、3 0 3 の表面上の高さが膜厚の相違分だけ異なり、この上のシリコン窒化膜 3 0 6 の表面上の高さが異なってくる。上述したように、シリコン窒化膜 3 0 6 上のシリコン酸化膜 3 1 1 は完全に除去する必要があるため、図示された位置まで CMP を行くと、厚いゲート絶縁膜 3 0 2 が形成された領域上のシリコン窒化膜 3 0 6 a は、薄いゲート絶縁膜 3 0 3 が形成された領域上のシリコン窒化膜 3 0 6 b より膜厚が薄くな

る。この結果、シリコン酸化膜 3 1 1 にエッチングを行った際にシリコン窒化膜 3 0 6 a 側の方がよりシリコン酸化膜 3 1 1 が大きく除去され、ゲート絶縁膜 3 0 2 付近まで除去されて酸化膜の不良を招くことになる。

【0048】

一方、図 2 (a) に示されたように、本実施の形態では厚いゲート絶縁膜 1 1 0 が形成される領域と、薄いゲート絶縁膜 1 1 1 が形成される領域とで、ゲート絶縁膜 1 1 0、1 1 1 の高さの相違分が吸収されるように半導体基板 1 0 1 の高さが異なっている。これにより、ゲート絶縁膜 1 1 0、1 1 1 の表面上の高さが略一致し、この上のシリコン窒化膜 1 1 3 の高さが略一致する。従って、シリコン酸化膜 1 1 5 に CMP を行う工程において、膜厚の異なるゲート絶縁膜 1 1 0、1 1 1 上のそれぞれのシリコン窒化膜 1 1 3 が同じ高さで CMP を停止することができる。

【0049】

このように本実施の形態によれば、厚い膜厚のゲート絶縁膜 1 1 0 を形成する領域で半導体基板 1 0 1 の表面が低くなるようにすることで、ゲート電極材となる多結晶シリコン膜 1 1 2 を形成する表面上においては、膜厚の異なるゲート絶縁膜 1 1 0、1 1 1 の表面において段差が殆ど存在せず平坦化される。これにより、従来発生していた、膜厚の異なるゲート絶縁膜間に段差が存在した状態で、その表面上にゲート電極材を堆積し素子分離を行った場合に発生していたゲート絶縁膜の初期不良や装置寿命の劣化、半導体基板へのリークの発生等の問題を回避することが可能である。

【0050】

(2) 第 2 の実施の形態

本発明の第 2 の実施の形態による半導体装置の構成及びその製造方法を工程別に図 3 に示す。

【0051】

本実施の形態は上記第 1 の実施の形態に対し、構成を一部変更したものに相当する。上記第 1 の実施の形態では、図 1 (a) ~ (c) に示されたようにシリコン酸化膜 1 0 2 上にシリコン窒化膜 1 0 3 を形成し、レジスト膜 1 0 4 をマスク

として、膜厚の厚いゲート絶縁膜を形成する領域上のシリコン酸化膜 1 0 2 及びシリコン窒化膜 1 0 3 をウェットエッチングにより除去している。これに対し、本実施の形態ではシリコン酸化膜上にシリコン窒化膜は形成せず、膜厚の厚いゲート絶縁膜を形成する領域上のシリコン酸化膜をウェットエッチングでなく R I E により除去する。

【 0 0 5 2 】

図 3 (a) に示されたように、半導体基板 2 0 1 上に約 1 0 0 0 Å の膜厚でシリコン酸化膜 2 0 2 を形成する。上述したように、シリコン酸化膜 2 0 2 上には、膜厚の厚いゲート絶縁膜を形成する領域以外の領域を保護するシリコン窒化膜の形成は行わない。

【 0 0 5 3 】

この状態で、図 3 (b) のようにフォトリソグラフィ工程により、膜厚の厚いゲート絶縁膜を形成する領域が除去されたレジスト膜 2 0 4 をシリコン酸化膜 2 0 2 上に形成する。

【 0 0 5 4 】

図 3 (c) のように、このレジスト膜 2 0 4 をマスクとしてシリコン酸化膜 2 0 2 に R I E を行い、マスクで保護されていない領域上のシリコン酸化膜 2 0 2 を除去して半導体基板 2 0 1 の表面を露出し、さらにゲート絶縁膜の膜厚差に相当する分（ここでは、約 3 2 0 Å ）だけ半導体基板の表面部分をエッチングして除去する加工を一括して行う。

【 0 0 5 5 】

図 3 (d) に示されたように、熱酸化法を用いてシリコン窒化膜 2 0 2 で覆われていない領域に例えば約 6 4 0 Å の膜厚のシリコン酸化膜 2 0 5 を形成する。この酸化工程は、例えば L O C O S 法等を用いてもよい。このようなシリコン酸化膜 2 0 5 を形成するのは、R I E 工程により表面が荒れた基板表面における不純物を除去するためである。

【 0 0 5 6 】

この結果、シリコン酸化膜 2 0 5 が形成された領域における半導体基板 2 0 1 の表面と、シリコン酸化膜 2 0 5 が形成されずシリコン酸化膜 2 0 2 が形成され

た領域における半導体基板 2 0 1 の表面とにおいて、基板の高さに段差（ここでは、約 3 2 0 Å）が生じることになる。

【 0 0 5 7 】

このような基板の高さに段差を設けたのは、上記第 1 の実施の形態と同様に、以降の工程で異なる膜厚のゲート絶縁膜を形成した状態において、ゲート絶縁膜の表面の高さが平坦であるようにするためである。

【 0 0 5 8 】

図 3（e）に示されたように、フッ化水素、フッ化アンモニウム等を用いたウェットエッチングを施してシリコン酸化膜 2 0 2、2 0 5 を除去し、半導体基板 2 0 1 の表面を露出する。

【 0 0 5 9 】

以降の工程は、上記第 1 の実施の形態と同様である。図 3（f）のように、膜厚の厚いゲート絶縁膜を形成するため、例えば 3 2 0 Å のシリコン酸化膜 2 0 6 を膜厚の厚いゲート絶縁膜を形成する領域と、膜厚の薄いゲート絶縁膜を形成する領域とに形成する。

【 0 0 6 0 】

図 3（g）に示されたように、フォトリソグラフィ工程により膜厚の厚いゲート絶縁膜を形成する領域を保護するレジスト膜 2 0 7 を形成し、このレジスト膜 2 0 7 をマスクとしてウェットエッチングを行い薄い膜厚のゲート絶縁膜を形成する領域上のシリコン酸化膜 2 0 6 を除去する。

【 0 0 6 1 】

図 3（h）に示されたように、約 8 0 Å のシリコン酸化膜を全体に形成し、厚い膜厚のゲート絶縁膜を形成する領域には約 4 0 0 Å のゲート絶縁膜 2 1 0、薄い膜厚のゲート絶縁膜を形成する領域には約 8 0 Å のゲート絶縁膜 2 1 1 を形成する。

【 0 0 6 2 】

図 3（i）に示されたように、ゲート絶縁膜 2 1 0、2 1 1 上に、約 1 0 0 Å の膜厚で多結晶シリコン膜 2 1 2、約 1 0 0 0 Å の膜厚で研磨ストッパ材となるシリコン窒化膜 2 1 3 を順に形成する。さらに、フォトリソグラフィ法を用いて

能動領域を保護し素子分離領域が除去されたレジスト膜 2 1 4 を形成する。

【 0 0 6 3 】

このレジスト膜 2 1 4 を用いて、図 3 (j) に示されたように多結晶シリコン膜 2 1 2、シリコン窒化膜 2 1 3 にパターニングを行い、R I E により素子分離領域における半導体基板 2 0 1 に溝 2 2 0 を形成する。

【 0 0 6 4 】

半導体基板 2 0 1 の溝 2 2 0 の底面には、上記第 1 の実施の形態と同様に、膜厚の厚いゲート絶縁膜 2 1 0 が形成された領域から膜厚の薄いゲート絶縁膜 2 1 1 が形成された領域に向かって高くなる段差 2 5 0 が形成される。

【 0 0 6 5 】

図 3 (k) に示されたように、C V D 法を用いてシリコン酸化膜 2 1 5 を堆積して溝 2 2 0 を埋め込み、図 3 (l) のようにシリコン窒化膜 2 1 3 をストップ材としてCMPを行い、シリコン酸化膜 2 1 5 を平滑化する。

【 0 0 6 6 】

素子分離脇における段差を緩和させるため、フッ化アンモニウム等を用いて素子分離領域におけるシリコン酸化膜 2 1 5 にウェットエッチングを行って点線 N で示されたように高さを低くする。

【 0 0 6 7 】

図 3 (m) のように、多結晶シリコン膜 2 1 2 上のシリコン窒化膜 2 1 3 を R I E、あるいはケミカルドライエッチング、あるいはまた磷酸等を用いたウェットエッチングにより除去する。多結晶シリコン膜 2 1 2 の表面上の自然酸化膜を除去した後、多結晶シリコン膜を堆積し、図 3 (n) に示されたようにフォトリソグラフィ工程、R I E 工程を経てゲート電極 2 1 6 を形成する。

【 0 0 6 8 】

上記第 1 の実施の形態と同様に本実施の形態によれば、ゲート電極材となる多結晶シリコン膜 2 1 2 を形成する表面上において、膜後の異なるゲート絶縁膜 2 1 0、2 1 1 の表面に段差が殆ど存在せず平坦化される。このため、ゲート絶縁膜の初期不良や装置寿命の劣化、半導体基板へのリークの発生を防止することができる。

【 0 0 6 9 】

上記各実施の形態では、厚い酸化膜の膜厚を400 Å、薄い酸化膜の膜厚を80 Åとし、段差を320 Åとしたが、これに限るものではない。但し、段差は厚いゲート酸化膜と薄いゲート酸化膜との差分程度が望ましい。また、段差は差分の半分程度以上あれば、本発明の効果が期待できる。

【 0 0 7 0 】

上述した実施の形態はいずれも一例であって、本発明を限定するものではない。例えば、ゲート酸化膜の形成法は熱酸化法によるものだけでなく、CVD法等でもよく、例えば Ta_2O_5 膜等、シリコン酸化膜よりも誘電率の高い膜を用いても良く、また、膜厚の厚い酸化膜と薄い酸化膜とで一部材料が異なっても良い。同様に、ゲート電極材は多結晶シリコンに限ることはなく、高融点金属でも良く、またそれらの積層電極でも良い。

【 0 0 7 1 】

各々の膜の形成法、膜厚、材料は必要に応じて様々に変形することができる。

【 0 0 7 2 】

【発明の効果】

以上説明したように本発明の半導体装置及びその製造方法によれば、膜厚の異なるゲート絶縁膜を有しつつも、膜厚の厚いゲート絶縁膜を形成する第1の能動領域の方が膜厚の薄いゲート絶縁膜を形成する第2の能動領域よりも半導体基板表面の高さが低いことにより、ゲート絶縁膜表面の段差がより小さくなり、その上のゲート電極形成工程、また第1、第2の能動領域間の素子分離形成工程においてゲート絶縁膜の不良等を防止することができ、歩留まりを向上させることが可能である。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態による半導体装置の断面構造及びその製造方法を工程別に示す素子の縦断面図。

【図2】

同第1の実施の形態による半導体装置と従来の半導体装置の構成を対比して示

す縦断面図。

【図 3】

本発明の第 2 の実施の形態による半導体装置の断面構造及びその製造方法を工程別に示す素子の縦断面図。

【図 4】

従来の半導体装置の断面構造及びその製造方法を工程別に示す素子の縦断面図。

【符号の説明】

1 0 1、2 0 1 半導体基板

1 0 2、1 0 5、1 0 6、1 1 5、2 0 2、2 0 5、2 0 6、2 1 5 シリコン酸化膜

1 0 3、1 1 3、2 1 3 シリコン窒化膜

1 0 4、1 0 7、1 1 4、2 0 4、2 0 7、2 1 4 フォトリジスト膜

1 1 0、1 1 1、2 1 0、2 1 1 ゲート絶縁膜

1 1 2、2 1 2 多結晶シリコン膜

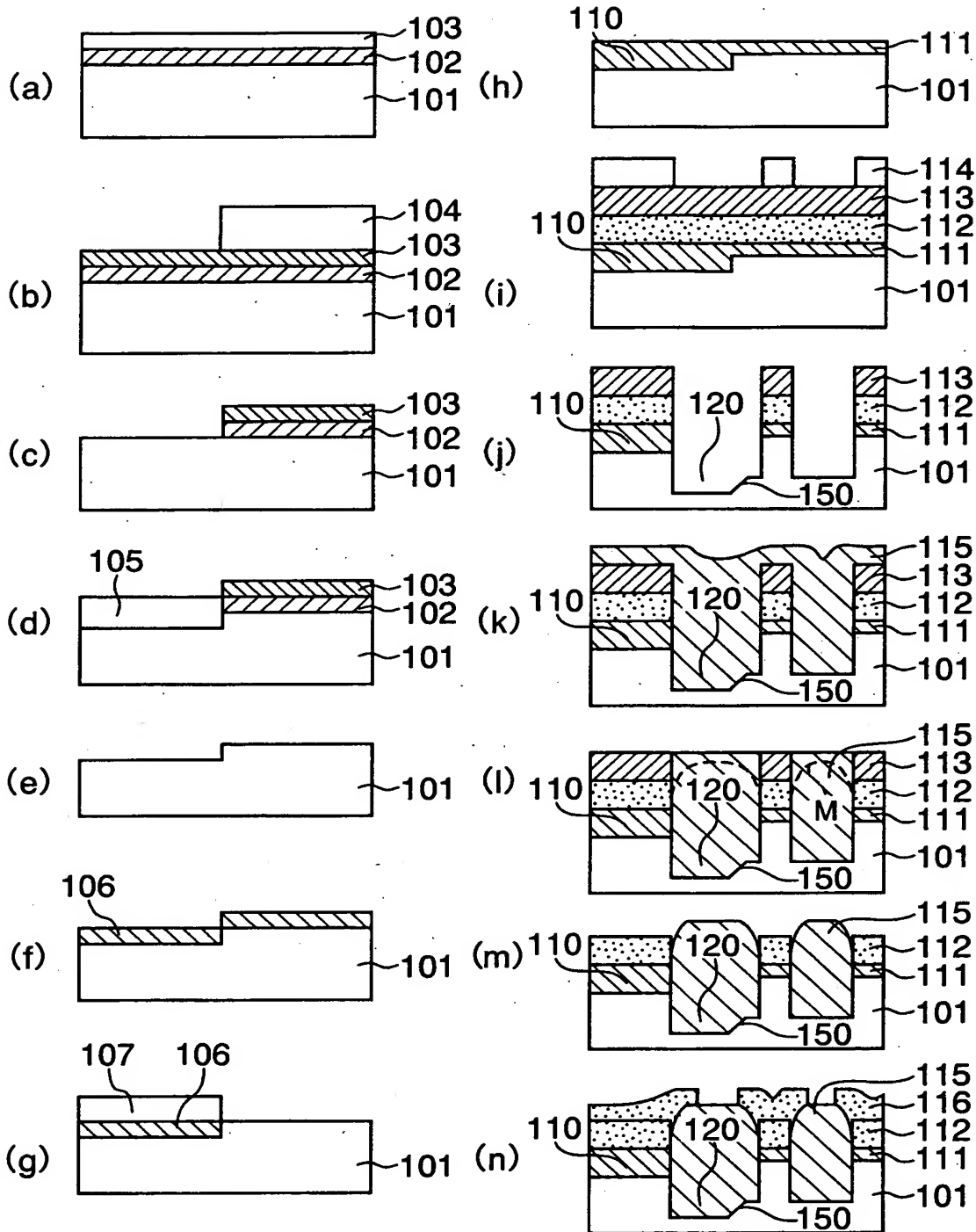
1 1 6、2 1 6 ゲート電極

1 2 0、2 2 0 溝

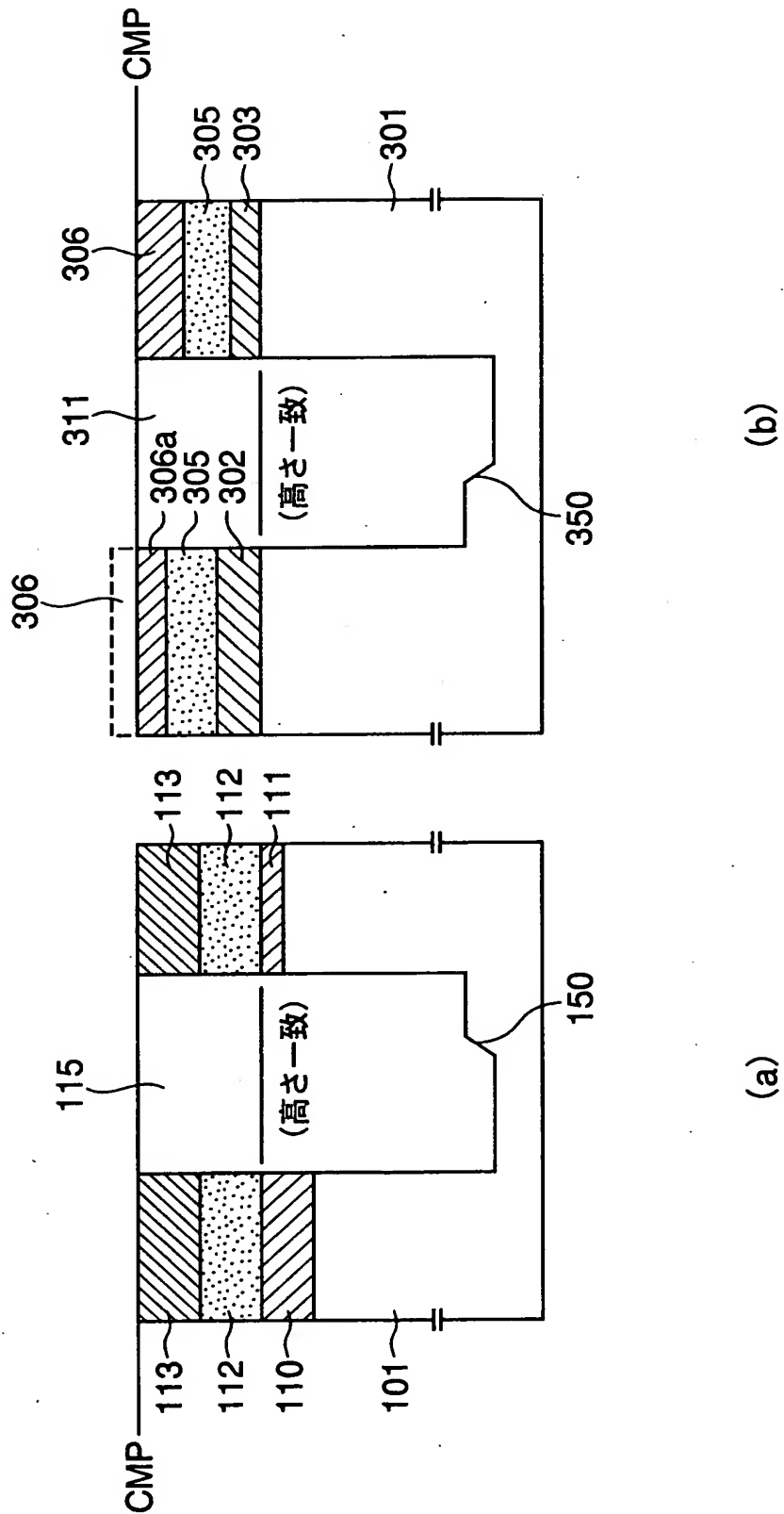
1 5 0、2 5 0 段差

【書類名】 図面

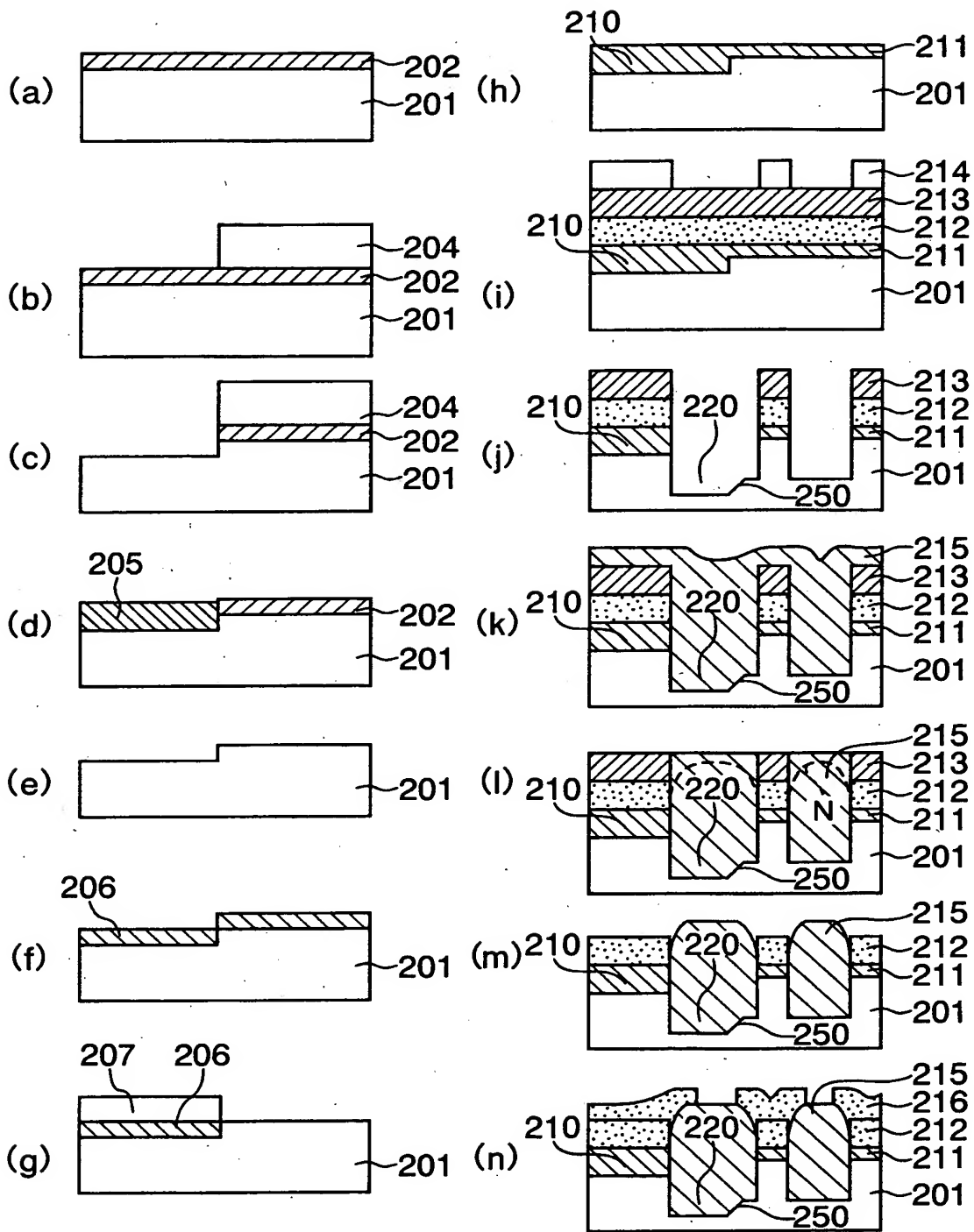
【図 1】



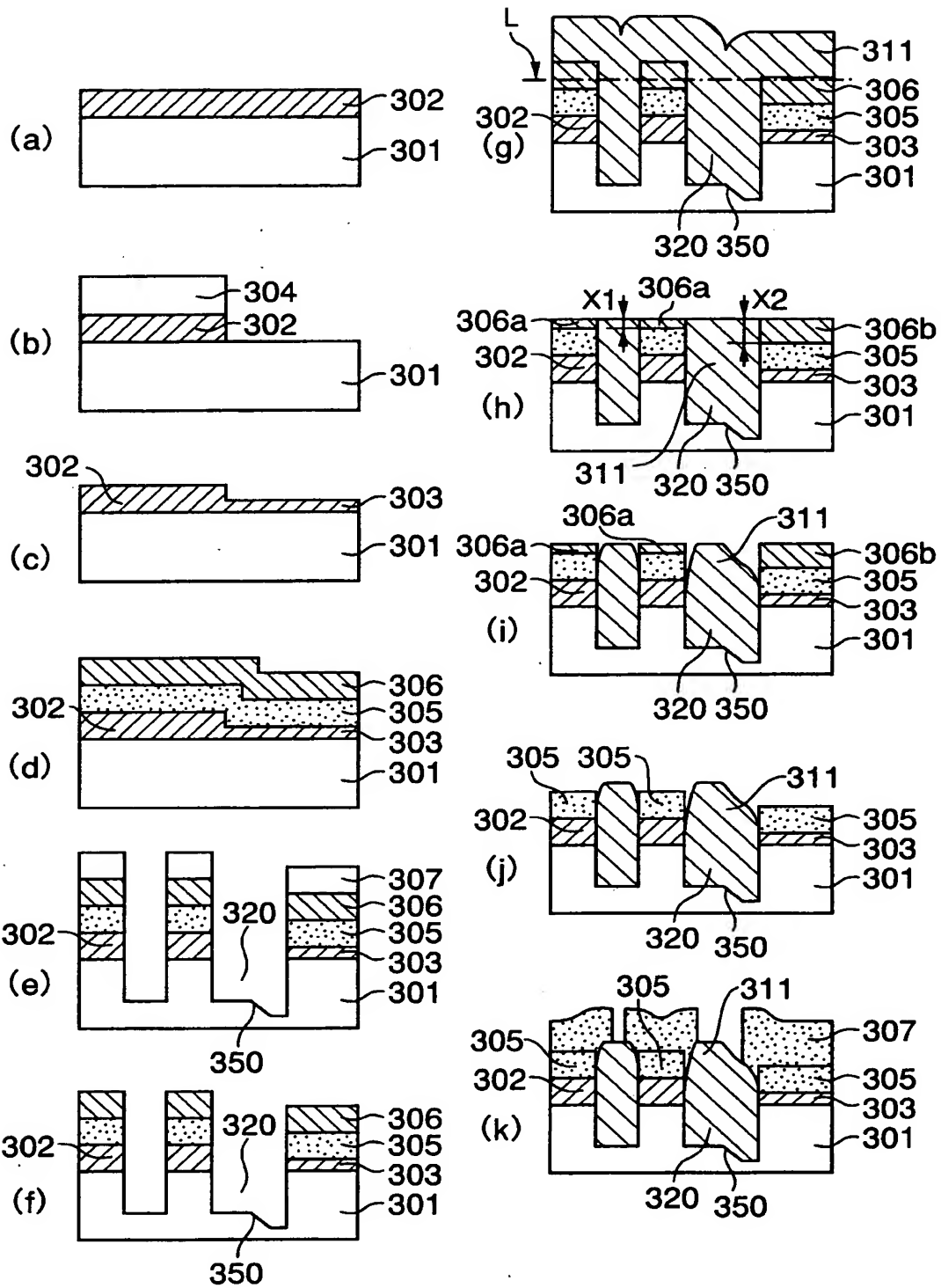
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 異なる酸化膜厚を有する装置を高い歩留まりで得ることが可能な半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板 1 0 1 の表面に膜厚の異なるゲート絶縁膜を形成する領域の間で高さに段差を設けることで、以降の工程で異なる膜厚のゲート絶縁膜を形成した状態において、ゲート絶縁膜 1 1 0、1 1 1 の表面の高さが平坦になる。これにより、異なる酸化膜厚を有しつつ、ゲート電極形成時に下地となるゲート絶縁膜 1 1 0、1 1 1 の上面が平坦化されるので、素子分離形成後の CMP 後にシリコン酸化膜 1 1 5 に NH_4F 等にてエッチングをした際にも、従来ゲート絶縁膜の膜厚の相違が招いていたエッチング液の界面への進行によりシリコン酸化膜 1 1 5 が過剰に削られて、ゲート絶縁膜の初期不良を発生させたり、寿命が短くなる問題を防ぐことができる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2002-213839
受付番号	50201080931
書類名	特許願
担当官	森吉 美智枝 7577
作成日	平成14年 7月29日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目1番1号
【氏名又は名称】	株式会社東芝

【代理人】

【識別番号】	100075812
【住所又は居所】	東京都千代田区丸の内3-2-3 協和特許法律事務所

【氏名又は名称】	吉武 賢次
----------	-------

【選任した代理人】

【識別番号】	100088889
【住所又は居所】	東京都千代田区丸の内3丁目2番3号 協和特許法律事務所

【氏名又は名称】	橘谷 英俊
----------	-------

【選任した代理人】

【識別番号】	100082991
【住所又は居所】	東京都千代田区丸の内3丁目2番3号 富士ビル 協和特許法律事務所

【氏名又は名称】	佐藤 泰和
----------	-------

【選任した代理人】

【識別番号】	100096921
【住所又は居所】	東京都千代田区丸の内3-2-3 富士ビル3階 協和特許法律事務所

【氏名又は名称】	吉元 弘
----------	------

【選任した代理人】

【識別番号】	100103263
【住所又は居所】	東京都千代田区丸の内3丁目2番3号 協和特許法律事務所

次頁有

認定・付加情報（続き）

【氏名又は名称】 川崎 康

次頁無

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝